

12 **EUROPÄISCHE PATENTANMELDUNG**

21 Anmeldenummer: 89112769.8

57 Int. Cl.4: **G06F 7/50**

22 Anmeldetag: 12.07.89

30 Priorität: 29.07.88 DE 3825969

43 Veröffentlichungstag der Anmeldung:
31.01.90 Patentblatt 90/05

84 Benannte Vertragsstaaten:
DE FR GB

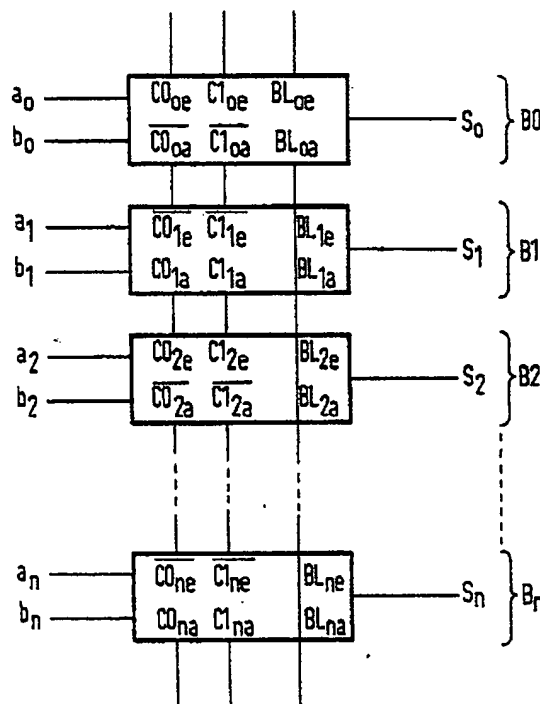
71 Anmelder: **Siemens Aktiengesellschaft**
Wittelsbacherplatz 2
D-8000 München 2(DE)

72 Erfinder: **Knauer, Karl, Dr.-Ing.**
Nockherweg 21
D-8018 Grafting(DE)
 Erfinder: **Kamp, Winfried, Dipl.-Ing.**
Gustav-Heinemann-Ring 73
D-8000 München 83(DE)

94 **Carry-select-Addierer.**

57 "Carry-Select"-Addierer mit blockweise eingeteilten Addiererzellen, wobei jeder Block eine Eingangsaddiererzelle und eine wechselnde Abfolge von Addiererzellen vom ersten Typ und vom zweiten Typ enthält. Untereinander sind die Addiererzellen über erste und zweite Carryein- bzw. -ausgänge ($C0_{0e}, C1_{0e}; C0_{1e}, C1_{1e}; C0_{2e}, C1_{2e}; \dots C0_{ne}, C1_{ne}$ bzw. $C0_{0a}, C1_{0a}; C0_{1a}, C1_{1a}; C0_{2a}, C1_{2a}; \dots C0_{na}, C1_{na}$) sowie über Blockcarryeingänge bzw. Blockcarryausgänge ($BL_{0e}, BL_{1e}, BL_{2e}; \dots BL_{ne}$ bzw. $BL_{0a}, BL_{1a}, BL_{2a}; \dots BL_{na}$) verbunden. Die Addiererzellen vom ersten und zweiten Typ weisen als Transfer- und als Pullup- und Pulldown-Transistoren wirkende Feldeffekttransistoren (N1, N2, N3, N4, P1, P2, P3, P4) auf, die nicht Bestandteil eines Kombinationsgatters innerhalb einer Addiererzelle sind.

FIG 1



EP 0 352 549 A2

"Carry-Select"-Addierer

Die Erfindung bezieht sich auf einen Carry-Select-Addierer mit blockweise eingeteilten Addiererzellen nach dem Oberbegriff des Patentanspruchs 1.

Bei einer großen Anzahl von digitalen Logikschaltungen, beispielsweise digitalen Filtern, Signalprozessoren und Mikroprozessoren, werden Addierer benötigt. Das einfachste Prinzip für einen solchen Addierer ist das "Ripple-Carry"-Verfahren, bei dem ein entstehender Übertrag (Carry) seriell von einer Addiererzelle für das jeweils niederwertige Bit zu einer Addiererzelle für das jeweils höherwertige Bit übertragen wird. Die Durchlaufzeit des Übertragungssignals bestimmt dabei im wesentlichen die Additionszeit.

Bei einem weiteren Prinzip, dem "Carry-Select"-Verfahren, enthalten die blockweise zusammengefügten Addiererzellen eines Addierers doppelte Carrypfade. Je ein Carrypfad wird für ein fiktiv angenommenes eingangsseitiges Carrysignal von "0" bzw. "1" am Eingang einer Addiererzelle verwendet. Welcher der Carrypfade im weiteren Verlauf ausgewählt wird, entscheidet ein sogenanntes Blockcarrysignal, das aus den beiden einzelnen Carrysignalen der letzten Stufe des davorliegenden Blocks und dessen Blockcarrysignal gebildet wird. Hierdurch sind die einzelnen Carrysignale in einem jeden Block unabhängig von dem Carrysignal vorhergehender Blöcke.

Man benötigt für den Aufbau eines "Carry-Select"-Addierers wenigstens zwei verschiedene Addiererzellen, nämlich eine Eingangsaddiererzelle bei Blockbeginn und eine normale Addiererzelle, die in beliebiger Anzahl folgen kann. Blöcke höherer Ordnung in dem "Carry-Select"-Addierer enthalten eine größere Anzahl von Variableneingängen und Summenausgängen wie Blöcke niedriger Ordnung. Jede einzelne Addiererzelle in den Blöcken nach 1 St/13.01.1988 enthält jeweils zwei Variableneingänge, zwei Carryein- und -ausgänge, einen Blockcarryein- und -ausgang sowie einen Summenausgang. Die Anzahl der Variableneingänge und Summenausgänge in jedem Block sollte dabei möglichst so gewählt werden, daß die Laufzeit eines einzelnen Carrysignals durch einen Block der Laufzeitsumme der Blockcarrysignale bis zu diesem Block entspricht. Das Blockcarrysignal wird in der ersten Stufe eines Blockes aus den beiden Carrysignalen der letzten Stufe des davorliegenden Blockes und dessen Blockcarrysignals gebildet. Damit sind bei der Eingangsstufe jedes Blocks die einzelnen Carrysignale nur von den Variableneingängen abhängig und die Carryeingänge sind fest mit einem "Low"- bzw. "High"-Pegel verschaltet. Die Carrysignale in einem "Carry-Select"-Addierer

durchlaufen jeden Block parallel in zwei Carrypfaden, wobei ein Carrypfad für die Annahme eines Carrysignals von "0" am Eingang des Blocks und ein zweiter Carrypfad für die Annahme eines Carrysignals von "1" am Blockeingang in allen Addiererzellen implementiert ist. Die Carrysignale in den Addiererzellen sind dabei in unterschiedlichster Weise von den Eingangssignalen an den Variableneingängen der Addiererzellen und von Carrysignalen an den Carryeingängen der Addiererzellen abhängig.

Aus der Patentanmeldung P 35 34 863.1 (= VPA 85 P 1744 DE) ist es bekannt, daß man die Laufzeit der Carrysignale in einer Addiererschaltung dadurch beschleunigen kann, indem man abwechselnd Addiererzellen mit invertiertem Carryeingang und nicht invertiertem Carryausgang mit Addiererzellen mit nicht invertiertem Carryeingang und invertiertem Carryausgang miteinander verschaltet.

In einer weiteren Patentanmeldung P 33 23 607.0 (= VPA 83 P 1554 DE) wird ein schneller Addierer/Subtrahierer nach dem "Carry-Select"-Prinzip vorgeschlagen. Dieser Addierer bzw. Subtrahierer umfaßt eine Mehrzahl von Stufen, die in Gruppen aufgeteilt sind und mit doppelten Übertragungspfaden ausgestattet sind. Diese arbeiten mit fiktiven eingangsseitigen Überträgen "0" bzw. "1" in den niederwertigsten Stufen der einzelnen Gruppen.

Nachteilig in den Addiererschaltungen der angegebenen Patentanmeldungen erweist sich hierbei im Betrieb der Addierer die zu niedrige Verarbeitungsgeschwindigkeit.

Der Erfindung liegt die Aufgabe zugrunde, eine Addiererschaltung nach dem "Carry-Select"-Prinzip anzugeben, die eine hohe Verarbeitungsgeschwindigkeit aufweist.

Diese Aufgabe wird durch die kennzeichnenden Merkmale des Patentanspruchs 1 gelöst.

Der mit der Erfindung erzielbare Vorteil besteht insbesondere neben der hohen Verarbeitungsgeschwindigkeit in einem einfachen in drei unterschiedlichen Addiererzellen bestehenden Aufbau der Addiererschaltung.

Die Ansprüche 2 bis 5 sind auf eine weitere Ausgestaltung der Erfindung gerichtet.

Die Erfindung wird nachfolgend anhand von einem in der Zeichnung dargestellten Ausführungsbeispiel näher erläutert. Dabei zeigen

Fig. 1 eine Verschaltung der einzelnen Addiererzellen zu einem "Carry-Select"-Addierblock,

Fig. 2 ein Blockschaltbild einer Eingangsaddiererzelle,

Fig. 3 ein Blockschaltbild einer Addiererzelle vom ersten Typ,

Fig. 4 ein Blockschaltbild einer Addiererzelle vom zweiten Typ.

Fig. 1 zeigt einen "Carry-Select"-Addiererblock mit Addiererzellen B0, B1, B2, ...Bn, wobei die Addiererzellen B0, B1, B2 die ersten drei Addiererzellen eines Blocks darstellen. Zum Aufbau eines "Carry-Select"-Addierers wird eine beliebige Anzahl von Addiererböcken hintereinander geschaltet, wobei die Anzahl der Addiererzellen, die zu einem Block zusammengefaßt werden, mit steigender Ordnung der Addiererböcke zunimmt. Jede der Addiererzellen enthält zwei Variableneingänge $a_0, b_0; a_1, b_1; a_2, b_2, \dots, a_n, b_n$, einen Blockcarryeingang $BL_{0a}; BL_{1a}; BL_{2a}, \dots, BL_{na}$, einen Blockcarryausgang $BL_{0a}; BL_{1a}; BL_{2a}, \dots, BL_{na}$, einen Summenausgang $S_0; S_1; S_2, \dots, S_n$, einen ersten und zweiten Carryeingang $C0_{0a}, C1_{0a}; C0_{1a}, C1_{1a}; C0_{2a}, C1_{2a}, \dots, C0_{na}, C1_{na}$ und einen ersten und zweiten Carryausgang $C0_{0a}, C1_{0a}; C0_{1a}, C1_{1a}; C0_{2a}, C1_{2a}, \dots, C0_{na}, C1_{na}$. Jeder Block besteht aus einer Eingangsaddiererzelle B0 sowie aus Addiererzellen eines ersten und zweiten Typs, wobei die Addiererzellen vom ersten und zweiten Typ in einem Block abwechselnd miteinander verschaltet sind. Der erste und zweite Carryeingang $C0_{0a}, C1_{0a}$ und der Blockcarryeingang BL_{0a} der Eingangsaddiererzelle B0 des ersten Blockes sind für eine Addition auf einen festen "Low"-Pegel "0" gelegt, um feste Anfangsbedingungen für den Additionsablauf im "Carry-Select"-Addierer vorzugeben. Jeweils der erste und zweite invertierte Carryausgang $\overline{C0_{0a}}, \overline{C1_{0a}}$ einer Eingangsaddiererzelle B0 ist jeweils mit dem ersten und zweiten invertierten Carryeingang $\overline{C0_{1a}}, \overline{C1_{1a}}$ einer Addiererzelle des ersten Typs B1 und jeweils der erste und zweite nicht invertierte Carryausgang $C0_{1a}, C1_{1a}$ der Addiererzellen des ersten Typs ist mit jeweils dem ersten und zweiten nicht invertierten Carryeingang $C0_{2a}, C1_{2a}$ einer Addiererzelle des zweiten Typs B2 verschaltet, der Blockcarryausgang BL_{0a} der Eingangsaddiererzelle B0 ist weiterhin mit dem Blockcarryeingang BL_{1a} der Addiererzelle des ersten Typs B1 und der Blockcarryausgang BL_{1a} der Addiererzelle des ersten Typs B1 ist mit dem Blockcarryeingang BL_{2a} der Addiererzelle des zweiten Typs B2 verbunden. Die restlichen Addiererzellen innerhalb eines Blockes sind wechselweise vom ersten Typ und zweiten Typ und sind analog mit ihren Carryein- und -ausgängen sowie mit ihren Blockcarryein- und -ausgängen untereinander verbunden. Die letzte Addiererzelle Bn ist vom ersten Typ und bildet den Abschluß eines Blocks für den "Carry-Select"-Addierer und enthält neben den Variableneingängen a_n, b_n und dem Summenausgang S_n die beiden invertierten Carryeingänge $\overline{C0_{na}}, \overline{C1_{na}}$, die beiden nicht invertierten Carryausgänge $C0_{na}, C1_{na}$ den

Blockcarryein- und -ausgang BL_{na}, BL_{na} .

Wie aus der Fig. 1 zu erkennen ist, wird das Blockcarrysignal für den Addierblock in der Eingangsaddiererzelle B0 gebildet und durch die restlichen Addiererzellen des Addierblocks weitergeleitet. In der Eingangsaddiererzelle erfolgt eine Auswertung des Blockcarrysignals und der Carrysignale des vorhergehenden Addierblocks zu einem neuen Blockcarrysignal. Die Carrysignale der Eingangsaddiererzelle B0 eines Addierblocks, die im ersten und zweiten invertierten Carryausgang $\overline{C0_{0a}}$ und $\overline{C1_{0a}}$ in die nächstfolgende Addiererzelle vom ersten Typ B1 übergeben werden, hängen dabei lediglich von den Variableneingängen a_0, b_0 ab und nicht von den Carrysignalen am ersten und zweiten Carryeingang $C0_{0a}, C1_{0a}$. Für die restlichen Addiererzellen vom ersten und zweiten Typ B1, B2 in einem Addierblock sind jedoch zusätzlich die Carrysignale an den invertierten bzw. nicht invertierten Carryeingängen $\overline{C0_{1a}}, \overline{C1_{1a}}$ bzw. $C0_{2a}, C1_{2a}$ für die Carrysignale an den nichtinvertierten bzw. invertierten Carryausgängen $C0_{1a}, C1_{1a}$ bzw. $\overline{C0_{2a}}, \overline{C1_{2a}}$ zu berücksichtigen. Die abwechselnde Anordnung von Addiererzellen des ersten und zweiten Typs B1, B2 nach Fig. 1 dient zur Beschleunigung der Carrysignale in den Carrypfaden der einzelnen Addiererzellen und somit zu einer Erhöhung der Verarbeitungsgeschwindigkeit des "Carry-Select"-Addierers.

Fig. 2 zeigt das Blockschaltbild einer Eingangsaddiererzelle, wie sie beim "Carry-Select"-Addierer am Anfang jeden Blockes vorhanden ist. Die Eingangsaddiererzelle enthält hierbei zwei NAND-Gatter NAND 1, NAND2, fünf Inverter I1, I3, I4, I5 und I6, ein NOR-Gatter NOR1, ein ANDNOR-Gatter ANDNOR1, zwei p-Kanal-Feldeffekttransistoren P5, P6, sowie n-Kanal-Feldeffekttransistoren N5 und N6.

Der erste Variableneingang a_0 ist mit einem ersten Eingang des ersten NAND-Gatters NAND1 und mit einem ersten Eingang eines NOR-Gatters NOR1 verbunden und der zweite Variableneingang b_0 ist mit einem zweiten Eingang des ersten NAND-Gatters NAND1 und mit einem zweiten Eingang des NOR-Gatters NOR1 verschaltet. Der Ausgang des ersten NAND-Gatters NAND1 bildet den ersten invertierten Carryausgang $\overline{C0_{0a}}$ und ist gleichzeitig an den ersten Eingang des zweiten NAND-Gatters NAND2 angeschlossen, während der Ausgang des NOR-Gatters NOR1 den zweiten invertierten Carryausgang $\overline{C1_{0a}}$ darstellt und über einen ersten Inverter I1 mit dem zweiten Anschluß des zweiten NAND-Gatters NAND2 verbunden ist. Der erste Carryeingang $C0_{0a}$ ist auf den NOR-Eingang des ANDNOR-Gatters ANDNOR1 und der zweite Carryeingang $C1_{0a}$ sowie der Blockcarryeingang BL_{0a} sind jeweils auf einen UND-Eingang des ANDNOR-Gatters ANDNOR1 aufgeschaltet, der

Ausgang des ANDNOR-Gatters ANDNOR1 bildet über einen zweiten Inverter I6 den Blockcarryausgang BL_{0a} der Eingangsaddiererzelle. Gleichzeitig ist der Ausgang des ANDNOR-Gatters ANDNOR1 über einen dritten Inverter I5 mit dem Gate eines ersten p-Kanal-Feldeffekttransistors P6 und dem Gate eines ersten n-Kanal-Feldeffekttransistors N6 sowie an einen ersten Anschluß eines zweiten p-Kanal-Feldeffekttransistors P5 und an einen ersten Anschluß eines zweiten n-Kanal-Feldeffekttransistors N5 geschaltet. Der Ausgang des zweiten NAND-Gatters NAND2 ist zum einen mit dem Gate des zweiten p-Kanal-Feldeffekttransistors P5 und zum anderen an einen ersten Anschluß des ersten p-Kanal-Feldeffekttransistors P6 angeschlossen und über einen vierten Inverter I3 mit dem Gate des zweiten n-Kanal-Feldeffekttransistors N5 und mit dem ersten Anschluß des ersten n-Kanal-Feldeffekttransistors N6 verschaltet. Der zweite Anschluß des ersten und zweiten n-Kanal-Feldeffekttransistors N6, N5 und der zweite Anschluß des ersten und zweiten p-Kanal-Feldeffekttransistors P6, P5 sind gemeinsam an einen Eingang eines fünften Inverters I4 geschaltet, an dessen Ausgang der Summenausgang S_0 der Eingangsaddiererzelle angeordnet ist.

Fig. 3 zeigt ein Blockschaltbild einer Addiererzelle vom ersten Typ, wobei diese eine Gatteranordnung für zwei Variablen zur Bewertung eines ersten und zweiten Carryeingangssignals, zur Summenbildung und zur Carrybildung aufweist, und wobei jeweils ein Variableneingang für eine der zwei Variablen vorgesehen ist. Die Gatteranordnung der Addiererzelle des ersten Typs ist derart gebildet, daß das Aufladen der Kapazität des ersten und zweiten nicht invertierten Carryausgang CO_{1a} , $C1_{1a}$ entweder jeweils über zwei als Pullup- bzw. Pulldown-Transistoren wirkende Feldeffekttransistoren P1, N2 für den ersten nicht invertierten Carryausgang CO_{1a} bzw. P3, N4 für den zweiten nicht invertierten Carryausgang $C1_{1a}$ oder jeweils über zwei Serienschaltungen für den ersten und zweiten nicht invertierten Carryausgang CO_{1a} , $C1_{1a}$ geschieht, die je ein Invertergatter I1, I2 und je einen weiteren Transfertransistor N1, P2 für den ersten nicht invertierten Carryausgang CO_{1a} bzw. N3, P4 für den zweiten nicht invertierten Carryausgang $C1_{1a}$ enthalten.

Die Addiererzelle des ersten Typs ist zum Teil mit gleichen Bauelementen wie die Eingangsaddiererzelle nach Fig. 2 aufgebaut, so daß gleiche Bezugszeichen in der Fig. 3 und Fig. 2 Verwendung finden. Die Addiererzelle des ersten Typs besteht aus zwei NAND-Gattern NAND1, NAND2, fünf Invertern I1, I2, I3, I4, I7, einem NOR-Gatter NOR1, einem ORNAND-Gatter ORNAND1, sechs n-Kanal-Feldeffekttransistoren N1, N2, N3, N4, N5, N6, und sechs p-Kanal-Feldeffekttransistoren P1,

P2, P3, P4, P5, P6. Hierbei sind die p-Kanal-Feldeffekttransistoren P1, P3 als Pullup-Transistoren, die n-Kanal-Feldeffekttransistoren N2, N4 als Pulldown-Transistoren und die restlichen Feldeffekttransistoren als Transfertransistoren eingesetzt. Der erste Variableneingang a_1 der Addiererzelle des ersten Typs ist mit dem ersten Eingang des ersten NAND-Gatters NAND1 und mit dem ersten Eingang des NOR-Gatters NOR1 verbunden, und der zweite Variableneingang b_1 ist mit dem zweiten Eingang des ersten NAND-Gatters NAND1 und mit dem zweiten Eingang des NOR-Gatters NOR1 verschaltet. Der Ausgang des ersten NAND-Gatters NAND1 ist über einen ersten Inverter I2 mit dem ersten Anschluß eines ersten n-Kanal-Transfertransistors N1 und mit dem ersten Anschluß eines zweiten n-Kanal-Transfertransistors N3 verbunden, wobei der erste Inverter I2 und der erste n-Kanal-Transfertransistor N1 sowie der zweite n-Kanal-Transfertransistor N3 und der erste Inverter I2 je eine Serienschaltung bilden, und der Ausgang des ersten NAND-Gatters NAND1 ist zusätzlich an einen ersten Eingang eines zweiten NAND-Gatters NAND2 und an je einen Gateanschluß des ersten und zweiten Pullup-Transistors P1, P3 angeschlossen. Der Ausgang des NOR-Gatters NOR1 ist über einen zweiten Inverter I1 mit dem ersten Anschluß eines ersten und zweiten p-Kanal-Transfertransistors P2, P4 angeschlossen, außerdem ist der Ausgang des zweiten Inverters I1 mit einem zweiten Eingang des zweiten NAND-Gatters NAND2 verbunden, weiterhin ist der Ausgang des NOR-Gatters NOR1 mit je einem Gateanschluß eines ersten und zweiten Pulldown-Transistors N2, N4 verschaltet. Der erste Anschluß des ersten und zweiten Pulldown-Transistors N2, N4 ist mit der Masse GND, während der erste Anschluß des ersten und zweiten Pullup-Transistors P1, P3 mit der Versorgungsspannung V_{DD} verschaltet. Der erste invertierte Carryeingang \overline{CO}_{1a} ist mit je einem Gateanschluß des ersten n-Kanal-Transfertransistors N1 und des ersten p-Kanal-Transfertransistors P2 und mit einem UND-Eingang des ORNAND-Gatters ORNAND1 verbunden, während der zweite invertierte Carryeingang $\overline{C1}_{1a}$ mit je einem Gateanschluß des zweiten n-Kanal-Transfertransistors N3 und des zweiten p-Kanal-Transfertransistor P4 sowie mit dem ersten ODER-Eingang des ORNAND-Gatters ORNAND1 verschaltet ist. Der Aufbau der ersten Addiererzelle des ersten Typs nach Fig. 3 sieht weiterhin vor, daß der erste nicht invertierte Carryausgang CO_{1a} mit dem zweiten Anschluß des ersten n-Kanal-Transfertransistors N1, mit dem zweiten Anschluß des ersten p-Kanal-Transfertransistors P2, mit dem zweiten Anschluß des ersten Pullup-Transistors P1 und mit dem zweiten Anschluß des ersten Pulldown-Transistors N2 verbunden ist und der zweite nicht invertierte Carryausgang $C1_{1a}$ ist

mit einem zweiten Anschluß eines zweiten n-Kanal-Transfertransistors N3, mit einem zweiten Anschluß des zweiten p-Kanal-Transfertransistors P4, mit einem zweiten Anschluß des zweiten Pullup-Transistors P3 sowie mit einem zweiten Anschluß des zweiten Pulldown-Transistors N4 verbunden. Der Blockcarryeingang BL_{1a} bildet gleichzeitig den Blockcarryausgang BL_{1a} und ist über einen dritten Inverter I7 mit einem zweiten ODER-Eingang des ORNAND-Gatters ORNAND1 verschaltet. Der Ausgang des ORNAND-Gatters ORNAND1 ist mit je einem Gateanschluß des dritten p-Kanal-Transfertransistors P6 und des dritten n-Kanal-Transfertransistors N6 sowie mit einem ersten Anschluß eines vierten p-Kanal-Transfertransistors P5 und einen ersten Anschluß eines vierten n-Kanal-Transfertransistors N5 verbunden und der Ausgang des zweiten NAND-Gatters NAND2 ist mit einem ersten Anschluß des dritten p-Kanal-Transfertransistors P6 und über einen vierten Inverter I3 mit einem ersten Anschluß des dritten n-Kanal-Transfertransistors N6 und mit einem Gateanschluß des vierten n-Kanal-Transfertransistors N5 verbunden. Weiterhin ist der Ausgang des zweiten NAND-Gatters NAND2 mit dem Gateanschluß des vierten p-Kanal-Transfertransistors P5 verbunden und der Summenausgang S1 ist über einen fünften Inverter I4 jeweils mit einem zweiten Anschluß des dritten und vierten p-Kanal-Transfertransistors P6, P5 und jeweils mit einem zweiten Anschluß des dritten und vierten n-Kanal-Transfertransistors N6, N5 verbunden.

In Fig. 4 ist ein Blockschaltbild einer Addierierzelle vom zweiten Typ wiedergegeben, wobei diese ebenfalls eine Gatteranordnung für zwei Variablen zur Bewertung eines ersten und zweiten Carryeingangssignals, zur Summenbildung und zur Carrybildung aufweist, und wobei jeweils ein Variableneingang für eine der zwei Variablen vorgesehen ist.

Die Gatteranordnung der Addierierzelle vom zweiten Typ ist derart gebildet, daß das Aufladen der Kapazität des ersten und zweiten invertierten Carryausgangs $\overline{CO_{2a}}$, $\overline{CI_{2a}}$ entweder jeweils über zwei als Pullup- bzw. Pulldown-Transistoren wirkende Feldeffekttransistoren P1, N2 für den ersten invertierenden Carryausgang $\overline{CO_{2a}}$ bzw. P3, N4 für den zweiten invertierten Carryausgang $\overline{CI_{2a}}$ oder über jeweils zwei Transfertransistoren N1, P2 für den ersten invertierten Carryausgang $\overline{CO_{2a}}$ bzw. N3, P4 für den zweiten invertierten Carryausgang $\overline{CI_{2a}}$ geschieht.

Die Addierierzelle des zweiten Typs ist ebenfalls zum Teil mit gleichen Bauelementen wie die Eingangsaddierierzelle nach Figur 2 oder die Addierierzelle vom ersten Typ nach Figur 3 aufgebaut, so daß gleiche Bezugszeichen in Figur 4, Figur 3 und Figur 2 Verwendung finden. Die Addierierzelle des zweiten Typs besteht aus zwei NAND-Gattern NAND1, NAND2, einem NOR-Gatter NOR1, einem

ANDNOR-Gatter ANDNOR1, vier Invertern I1, I2, I3, I4, sechs n-Kanal-Feldeffekttransistoren N1, N2, N3, N4, N5, N6 sowie sechs p-Kanal-Feldeffekttransistoren P1, P2, P3, P4, P5, P6. Ebenso wie bei der Addierierzelle vom ersten Typ nach Figur 3 sind die p-Kanal-Feldeffekttransistoren P1, P3 als Pullup-Transistoren, die n-Kanal-Feldeffekttransistoren N2, N4 als Pulldown-Transistoren und die restlichen Feldeffekttransistoren als Transfertransistoren eingesetzt. Der erste Variableneingang a_2 ist mit dem ersten Eingang eines ersten NAND-Gatters NAND1 und mit dem ersten Eingang des NOR-Gatters NOR1 verbunden, während der zweite Variableneingang b_2 mit dem zweiten Eingang des ersten NAND-Gatters NAND1 und dem zweiten Eingang des NOR-Gatters NOR1 verschaltet ist. Der Ausgang des ersten NAND-Gatters NAND1 ist über einen ersten Inverter I2 mit je einem Gateanschluß eines ersten und zweiten Pulldown-Transistors N2, N4 verbunden, und der Ausgang des ersten NAND-Gatters NAND1 ist weiterhin mit einem ersten Anschluß eines ersten p-Kanal-Transfertransistors P2 und einem ersten Anschluß eines zweiten p-Kanal-Transfertransistor P4 als auch mit einem ersten Anschluß des zweiten NAND-Gatters NAND2 verschaltet. Der Ausgang des NOR-Gatters NOR1 ist über einen zweiten Inverter I1 mit jeweils einem Gateanschluß des ersten und zweiten Pullup-Transistors P1, P3 und mit einem zweiten Eingang des NAND-Gatters NAND2 verbunden und der Ausgang des NOR-Gatters NOR1 ist weiterhin jeweils an einem ersten Anschluß des ersten und zweiten n-Kanal-Transfertransistors N1, N3 angeschlossen. Jeweils der erste Anschluß des ersten und zweiten Pullup-Transistors P1, P3 ist in der Addierierzelle des zweiten Typs nach Figur 4 mit der Versorgungsspannung V_{DD} und ein erster Anschluß des ersten und zweiten Pulldown-Transistors N2, N4 ist mit der Masse GND verbunden. Der erste nicht invertierte Carryeingang CO_{2a} ist jeweils mit dem Gateanschluß des ersten p-Kanal-Transfertransistors P2, des ersten n-Kanal-Transfertransistors N1 sowie mit einem ODER-Eingang des ANDNOR-Gatters ANDNOR1 und der zweite nicht invertierte Carryeingang CI_{2a} mit jeweils dem Gateanschluß des zweiten p-Kanal-Transfertransistors P4 und des zweiten n-Kanal-Transfertransistors N3 sowie mit einem ersten UND-Eingang des ANDNOR-Gatters ANDNOR1 verschaltet. Der Blockcarryeingang BL_{2a} bildet gleichzeitig den Blockcarryausgang BL_{2a} der Addierierzelle des zweiten Typs und ist gleichzeitig an einen zweiten UND-Eingang des ANDNOR-Gatters ANDNOR1 angeschlossen. Der erste invertierte Carryausgang $\overline{CO_{2a}}$ ist jeweils mit einem zweiten Anschluß des ersten p-Kanal-Transfertransistors P2, des ersten n-Kanal-Transfertransistors N1, des ersten Pulldown-Transistors N2 und des ersten Pullup-Transistors

P1 verschaltet und der zweite invertierte Carryausgang $\overline{C1_{2a}}$ ist jeweils mit dem zweiten Anschluß des zweiten p-Kanal-Transfertransistors P4, des zweiten n-Kanal-Transfertransistors N3, des zweiten Pulldown-Transistors N4 und des zweiten Pullup-Transistors P3 verschaltet. Der Ausgang des ANDNOR-Gatters ANDNOR1 ist mit dem Gateanschluß des dritten n-Kanal-Transfertransistors N6, mit dem Gateanschluß des dritten p-Kanal-Transfertransistors P6 sowie jeweils mit einem ersten Anschluß des vierten n-Kanal-Transfertransistors N5 und des vierten p-Kanal-Transfertransistors P5 verbunden und der Ausgang des zweiten NAND-Gatters NAND2 ist mit einem ersten Anschluß des dritten n-Kanal-Transfertransistors N6 und mit dem Gateanschluß des vierten n-Kanal-Transfertransistors N5 sowie über einen dritten Inverter I3 mit dem Gateanschluß des vierten p-Kanal-Transfertransistors P5 und mit einem ersten Anschluß des dritten p-Kanal-Transfertransistors P6 verschaltet. Der Summenausgang S_2 ist über einen vierten Inverter I4 jeweils mit einem zweiten Anschluß des dritten und vierten n-Kanal-Transfertransistors N6, N5 und mit einem zweiten Anschluß des dritten und vierten p-Kanal-Transfertransistors P5, P6 verbunden.

Bei der Ausbildung der Addiererzellen des ersten und zweiten Typs sind die Pullup-Transistoren P1, P3 bzw. die Pulldown-Transistoren N2, N4 und die weiteren Transfertransistoren N1, N3 bzw. P2, P4 nicht Bestandteil eines Kombinationsgatters innerhalb der Gatteranordnung, so daß die Transfertransistoren, die in einem zeitkritischen Übertragungspfad eingefügt sind, so optimiert sind, daß sie für die vorherige Stufe eine geringe Kapazität bilden, dabei aber immer noch eine niederohmige Source-Drain-Strecke darstellen.

Die Eingangsaddiererzelle und die Addiererzelle des zweiten Typs sind zu einem großen Teil gleich aufgebaut, jedoch entfallen sämtliche Transfertransistoren bzw. Pullup- und Pulldown-Transistoren N1, N2, N3, N4, P1, P2, P3, P4. Da die Carrysignale an den nicht invertierten Carryeingängen $C0_{0a}$ bzw. $C1_{0a}$ der Eingangsaddiererzelle ausschließlich gemeinsam mit dem Blockcarrysignal am Blockcarryeingang BL_{0a} zur Bestimmung des neuen Blockcarrysignals erforderlich sind, benötigt die Eingangsaddiererzelle keine Transfertransistoren und die Carrysignale am invertierten ersten und zweiten Carryausgang $\overline{C0_{0a}}$, $\overline{C0_{1a}}$ werden lediglich durch die Variablen an den Variableneingängen a_0 , b_0 bestimmt.

Die Transfertransistoren P2, N1 bzw. P4, N3 in den Addiererzellen vom ersten und zweiten Typ haben funktionelle Aufgaben, während die Pullup- bzw. Pulldown-Transistoren P1, P3 bzw. N2, N4 für eine bessere Übertragung der Versorgungsspannung V_{DD} bzw. der Masse GND auf die ersten und

zweiten Carryausgänge bestimmt sind.

In der Eingangsaddiererzelle dient das ANDNOR-Gatter ANDNOR1 im Gegensatz zum ANDNOR-Gatter ANDNOR1 in der Addiererzelle vom zweiten Typ zur Bestimmung eines neuen Blockcarrysignals, während das Blockcarrysignal in den übrigen Addiererzellen eines Addiererblokes lediglich weitergeleitet wird.

Der Eingangsaddiererzelle und den Addiererzellen vom ersten und zweiten Typ gemeinsam ist ein aus einem NAND-Gatter NAND1 und NOR-Gatter NOR1 bestehender Variableneingangsteil. Sowohl in der Eingangsaddiererzelle als auch in den übrigen Addiererzellen werden die Carrysignale an den beiden Carryeingängen als auch das Blocksignal am Blockcarryeingang über das ANDNOR-Gatter ANDNOR1 bzw. das ORNAND-Gatter ORNAND1 im jeweiligen Summenausgangsteil mit der Summe aus den Variablen an den Variableneingängen ausgewertet und an den entsprechenden Summenausgang weitergeleitet.

Ansprüche

1. "Carry-Select"-Addierer mit blockweise eingeteilten Addiererzellen, wobei jede Addiererzelle zwei Variableneingänge ($a_0, b_0; a_1, b_1; a_2, b_2, \dots a_n, b_n$), einen Blockcarry-Eingang ($BL_{0a}; BL_{1a}; BL_{2a}, \dots, BL_{na}$), einen Blockcarry-Ausgang ($BL_{0a}; BL_{1a}; BL_{2a}, \dots, BL_{na}$), einen Summenausgang ($S_0; S_1, S_2, \dots, S_n$), einen ersten und zweiten Carryeingang ($C0_{0a}, C1_{0a}; C0_{1a}, C1_{1a}; C0_{2a}, C1_{2a}; \dots C0_{0n}, C1_{0n}$) und einen ersten und zweiten Carryausgang ($\overline{C0_{0a}}, \overline{C1_{0a}}; \overline{C0_{1a}}, \overline{C1_{1a}}; \overline{C0_{2a}}, \overline{C1_{2a}}, \dots, \overline{C0_{na}}, \overline{C1_{na}}$) und jeder Block eine Eingangsaddiererzelle und eine bestimmte Anzahl von Addiererzellen eines ersten und zweiten Typs enthält, wobei der erste und zweite Carryeingang ($C0_{0a}; C1_{0a}$) und der Blockcarryeingang (BL_{0a}) der Eingangsaddiererzelle des ersten Blocks weitere Variableneingänge darstellt, jeweils der erste und zweite invertierte Carryausgang ($\overline{C0_{0a}}, \overline{C1_{0a}}$) einer Eingangsaddiererzelle mit jeweils dem ersten und zweiten invertierten Carryeingang ($\overline{C0_{1a}}, \overline{C1_{1a}}$) einer Addiererzelle des ersten Typs und jeweils der erste und zweite nicht invertierte Carryausgang ($C0_{1a}, C1_{1a}$) der Addiererzelle des ersten Typs mit jeweils dem ersten und zweiten nicht invertierten Carryeingang ($C0_{2a}, C1_{2a}$) einer Addiererzelle des zweiten Typs verschaltet ist, daß der Blockcarryausgang (BL_{0a}) der Eingangsaddiererzelle mit dem Blockcarryeingang (BL_{1a}) der Addiererzelle des ersten Typs und der Blockcarryausgang (BL_{1a}) der Addiererzelle des ersten Typs mit dem Blockcarryeingang (BL_{2a}) der Addiererzelle des zweiten Typs verbunden ist und die weiteren Addiererzellen in einem Block wechselweise vom ersten Typ und zweiten Typ über die Carryein- und

-ausgänge und über die Blockcarryein- und -ausgänge ebenso miteinander verbunden sind, wobei die Eingangsaddiererzelle und die Addiererzellen des ersten und zweiten Typs eine Gatterordnung für zwei Variablen zur Bewertung eines ersten und zweiten Carryeingangssignals, zur Summenbildung und zur Carrybildung aufweist, und wobei jeweils ein Variableneingang für eine der zwei Variablen vorgesehen ist, dadurch gekennzeichnet, daß die Gatteranordnung der Addiererzelle des ersten Typs derart gebildet ist, daß das Aufladen der Kapazität des ersten und zweiten nicht invertierten Carryausgangs ($C0_{1a}$, $C1_{1a}$) entweder jeweils über zwei als Pullup- bzw. Pulldown-Transistor wirkende Feldeffekttransistoren (P1, P3; N2, N4) oder jeweils über zwei Serienschaltungen für den ersten und zweiten nicht invertierten Carryausgang ($C0_{1a}$, $C1_{1a}$) geschieht, wobei die Serienschaltungen je ein Invertergatter (I1, I2) und je einen als Transfertransistor wirkenden Feldeffekttransistor (N1, P2; N3, P4) enthalten, und daß die Gatteranordnung der Addiererzelle des zweiten Typs derart gebildet ist, daß das Aufladen der Kapazität des ersten und zweiten invertierten Carryausgangs ($C0_{2a}$, $C1_{2a}$) entweder jeweils über zwei als Pullup- bzw. Pulldown-Transistoren wirkende Feldeffekttransistoren (P1, P3; N2, N4) oder jeweils über zwei als Transfertransistoren wirkende Feldeffekttransistoren (N1, P2; N3, P4) für den ersten und zweiten invertierten Carryausgang ($C0_{2a}$, $C1_{2a}$) gebildet wird und daß die als Pullup-bzw. Pulldowntransistoren und als Transfertransistoren wirkenden Feldeffekttransistoren (N1, N2, N3, N4, P1, P2, P3, P4) nicht Bestandteil eines Kombinationsgatters innerhalb der Gatteranordnung sind.

2. "Carry-Select"-Addierer nach Anspruch 1, dadurch gekennzeichnet, daß bei einer Addition von Eingangssignalen, die an den Variableneingängen (a_0 , b_0 ; a_1 , b_1 ; a_2 , b_2 ; ... a_n , b_n) jeder Addiererzelle anliegen, die weiteren Variableneingänge mit einem festen "Low"-Pegel beschaltet sind.

3. "Carry-Select"-Addierer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Eingangsaddiererzelle zwei NAND-Gatter (NAND1, NAND2), fünf Inverter (I1, I3, I4, I5, I6), ein NOR-Gatter (NOR1), ein ANDNOR-Gatter (ANDNOR1), zwei p-Kanal- (P5, P6) und zwei n-Kanal-Feldeffekttransistoren (N5, N6) enthält, daß der erste Variableneingang (a_0) mit einem ersten Eingang eines ersten NAND-Gatters (NAND1) und mit einem ersten Eingang eines NOR-Gatters (NOR1) verbunden ist, daß der zweite Variableneingang (b_0) mit dem zweiten Eingang des ersten NAND-Gatters (NAND1) und mit dem zweiten Eingang des NOR-Gatters (NOR1) verschaltet ist, daß der Ausgang des ersten NAND-Gatters (NAND1) den ersten invertierten Carryausgang ($C0_{0a}$) bildet und gleichzeitig an den ersten Eingang des zweiten NAND-

Gatters (NAND2) angeschlossen ist, daß der Ausgang des NOR-Gatters (NOR1) den zweiten invertierten Carryausgang ($C1_{1a}$) bildet und über einen ersten Inverter (I1) mit dem zweiten Anschluß des zweiten NAND-Gatters (NAND2) verschaltet ist, daß der erste Carryeingang ($C0_{0a}$) auf den NOR-Eingang des ANDNOR-Gatters (ANDNOR1) und der zweite Carryeingang ($C1_{0a}$) und der Blockcarryeingang (BL_{0a}) jeweils auf einen UND-Eingang des ANDNOR-Gatters (ANDNOR1) geschaltet ist, daß der Ausgang des ANDNOR-Gatters (ANDNOR1) über einen zweiten Inverter (I6) den Blockcarryausgang (BL_{0a}) der Eingangsaddiererzelle bildet und der Ausgang des ANDNOR-Gatters (ANDNOR1) über einen dritten Inverter (I5) mit dem Gate eines ersten p-Kanal-(P6), und dem Gate eines ersten n-Kanal-Feldeffekttransistors (N6), sowie an einen ersten Anschluß eines zweiten p-Kanal-(P5) und an einen ersten Anschluß eines zweiten n-Kanal-Feldeffekttransistors (N5) geschaltet ist, daß der Ausgang des zweiten NAND-Gatters (NAND2) zum einen mit dem Gate des zweiten p-Kanal-Feldeffekttransistors (P5) und zum anderen an einen ersten Anschluß des ersten p-Kanal-Feldeffekttransistors (P6) angeschlossen ist und über einen vierten Inverter (I3) mit dem Gate des zweiten n-Kanal-Feldeffekttransistors (N5) und mit dem ersten Anschluß des ersten n-Kanal-Feldeffekttransistors (N6) verschaltet ist, daß der zweite Anschluß des ersten und zweiten n-Kanal-Feldeffekttransistors (N6, N5) und der zweite Anschluß des ersten und zweiten p-Kanal-Feldeffekttransistors (P6, P5) an den Eingang eines fünften Inverters (I4) geschaltet sind, und daß der Ausgang des fünften Inverters (I4) den Summenausgang (S_0) der Eingangsaddiererzelle bildet.

4. "Carry-Select"-Addierer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Addiererzelle des ersten Typs zwei NAND-Gatter (NAND1, NAND2), fünf Inverter (I1, I2, I4, I7), ein NOR-Gatter (NOR1), ein ORNAND-Gatter (ORNAND1), sechs n-Kanal- (N1, N2, N3, N4, N5, N6) und sechs p-Kanal-Feldeffekttransistoren (P1, P2, P3, P4, P5, P6) enthält, daß der erste Variableneingang (a_1) der Addiererzelle des ersten Typs mit dem ersten Eingang des ersten NAND-Gatters (NAND1) und mit dem ersten Eingang des NOR-Gatters (NOR1) verbunden ist, daß der zweite Variableneingang (b_1) mit dem zweiten Eingang des ersten NAND-Gatters (NAND1) und mit dem zweiten Eingang des NOR-Gatters (NOR1) verschaltet ist, daß der Ausgang des ersten NAND-Gatters (NAND1) über einen ersten Inverter (I2) mit dem ersten Anschluß eines ersten n-Kanal-Feldeffekttransistors (N1) und mit dem ersten Anschluß eines zweiten n-Kanal-Feldeffekttransistors (N3) verbunden ist, wobei der erste Inverter (I2) und der erste n-Kanal-Feldeffekttransistor (N1) sowie der zweite n-Kanal-Feldeffekttransistor (N3) und der erste Inverter (I2) je eine

Serienschaltung bilden, daß der Ausgang des ersten NAND-Gatters (NAND1) mit einem ersten Eingang eines zweiten NAND-Gatters (NAND2) und mit je einem Gateanschluß eines ersten und zweiten p-Kanal-Feldeffekttransistors (P1, P3) verbunden ist, daß je ein erster Anschluß des ersten und zweiten p-Kanal-Feldeffekttransistors (P1, P3) mit der Versorgungsspannung (V_{DD}) verschaltet ist, daß der Ausgang des NOR-Gatters (NOR1) über einen zweiten Inverter (I1) mit dem ersten Anschluß eines dritten und eines vierten p-Kanal-Feldeffekttransistors (P2, P4) angeschlossen ist, daß der Ausgang des zweiten NAND-Gatters (NAND2) verbunden ist, daß der Ausgang des NOR-Gatters (NOR1) an je einem Gateanschluß eines dritten und vierten n-Kanal-Feldeffekttransistors (N2, N4) angeschlossen ist, daß ein erster Anschluß des dritten und vierten n-Kanal-Feldeffekttransistors (N2, N4) mit Masse (GND) verbunden ist, daß der erste invertierte Carryeingang ($\overline{C0_{1a}}$) mit je einem Gateanschluß des ersten n-Kanal-Feldeffekttransistors (N1) und des dritten p-Kanal-Feldeffekttransistors (P2) und mit einem NAND-Eingang des ORNAND-Gatters (ORNAND1) verbunden ist, daß der zweite invertierte Carryeingang ($\overline{C1_{1a}}$) mit je einem Gateanschluß des zweiten n-Kanal-Feldeffekttransistors (N3) und mit dem vierten p-Kanal-Feldeffekttransistor (P4) sowie mit einem ersten ODER-Eingang des ORNAND-Gatters (ORNAND1) verschaltet ist, daß der erste nicht invertierte Carryausgang ($C0_{1a}$) mit einem zweiten Anschluß des ersten n-Kanal-Feldeffekttransistors (N1), einem zweiten Anschluß des ersten p-Kanal-Feldeffekttransistors (P1), einem zweiten Anschluß des dritten p-Kanal-Feldeffekttransistors (P2) und einem zweiten Anschluß des dritten n-Kanal-Feldeffekttransistors (N2) verschaltet ist, daß der zweite nicht invertierte Carryausgang ($C1_{1a}$) mit einem zweiten Anschluß des zweiten n-Kanal-Feldeffekttransistors (N3), einem zweiten Anschluß des zweiten p-Kanal-Feldeffekttransistors (P3), einem zweiten Anschluß des vierten p-Kanal-Feldeffekttransistors (P4) sowie mit einem zweiten Anschluß des vierten n-Kanal-Feldeffekttransistors (N4) verschaltet ist, daß der Blockcarryeingang (BL_{1a}) den Blockcarryausgang (BL_{1a}) bildet und über einen dritten Inverter (I7) mit einem zweiten ODER-Eingang des ORNAND-Gatters (ORNAND1) verschaltet ist, daß der Ausgang des ORNAND-Gatters (ORNAND1) mit je einem Gateanschluß eines fünften p-Kanal-Feldeffekttransistors (P6) und eines fünften n-Kanal-Feldeffekttransistors (N6) sowie mit einem ersten Anschluß eines sechsten p-Kanal-Feldeffekttransistors (P5) und mit einem ersten Anschluß eines sechsten n-Kanal-Feldeffekttransistors (N5) verbunden ist, daß der Ausgang des zweiten NAND-Gatters (NAND2) mit einem ersten Anschluß des fünften p-Kanal-Feldeffekttransistors (P6) und mit dem Gateanschluß des sechsten p-Kanal-Feldeffekttransistors (P5) und über einen vierten Inverter (I3) mit einem ersten Anschluß des fünften n-Kanal-Feldeffekttransistors (N6) und mit dem Gateanschluß des sechsten n-Kanal-Feldeffekttransistors (N5) verbunden ist, und daß der Summenausgang (S_1) über einen fünften Inverter (I4) jeweils mit einem zweiten Anschluß des fünften und sechsten p-Kanal-Feldeffekttransistors (P6, P5) und jeweils mit einem zweiten Anschluß des fünften und sechsten n-Kanal-Feldeffekttransistors (N6, N5) verbunden ist.

5 fekttransistors (P6) und mit dem Gateanschluß des sechsten p-Kanal-Feldeffekttransistors (P5) und über einen vierten Inverter (I3) mit einem ersten Anschluß des fünften n-Kanal-Feldeffekttransistors (N6) und mit dem Gateanschluß des sechsten n-Kanal-Feldeffekttransistors (N5) verbunden ist, und daß der Summenausgang (S_1) über einen fünften Inverter (I4) jeweils mit einem zweiten Anschluß des fünften und sechsten p-Kanal-Feldeffekttransistors (P6, P5) und jeweils mit einem zweiten Anschluß des fünften und sechsten n-Kanal-Feldeffekttransistors (N6, N5) verbunden ist.

10 5. "Carry-Select"-Addierer nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Addierzelle des zweiten Typs zwei NAND-Gatter (NAND1, NAND2), ein NOR-Gatter (NOR1), ein ANDNOR-Gatter (ANDNOR1), vier Inverter (I1, I2, I3, I4), sechs n-Kanal-Feldeffekttransistoren (N1, N2, N3, N4, N5, N6), sechs p-Kanal-Feldeffekttransistoren (P1, P2, P3, P4, P5, P6), enthält, daß der erste Variableneingang (a_2) mit dem ersten Eingang eines ersten NAND-Gatters (NAND1) und dem ersten Eingang des NOR-Gatters (NOR1) verbunden ist, daß der zweite Variableneingang (b_2) mit dem zweiten Eingang des ersten NAND-Gatters (NAND1) und dem zweiten Eingang des NOR-Gatters (NOR1) verschaltet ist, daß der Ausgang des ersten NAND-Gatters (NAND1) über einen ersten Inverter (I2) mit je einem Gateanschluß eines ersten und zweiten n-Kanal-Feldeffekttransistors (N2, N4) verschaltet ist, daß der Ausgang des ersten NAND-Gatters (NAND1) sowohl mit einem ersten Anschluß eines ersten p-Kanal-Feldeffekttransistors (P2) und einem ersten Anschluß eines zweiten p-Kanal-Feldeffekttransistors (P4) als auch mit einem ersten Anschluß des zweiten NAND-Gatters (NAND2) verbunden ist, daß ein erster Anschluß des ersten und zweiten n-Kanal-Feldeffekttransistors (N2, N4) jeweils mit der Masse (GND) verbunden ist, daß der Ausgang des NOR-Gatters (NOR1) über einen zweiten Inverter (I1) mit jeweils einem Gateanschluß des dritten und vierten p-Kanal-Feldeffekttransistors (P1, P3) und mit einem zweiten Eingang des NAND-Gatters (NAND2) verbunden ist, daß der Ausgang des NOR-Gatters (NOR1) mit jeweils einem ersten Anschluß eines dritten und vierten n-Kanal-Feldeffekttransistors (N1, N3) angeschlossen ist, daß jeweils ein erster Anschluß des dritten und vierten p-Kanal-Feldeffekttransistors (P1, P3) mit der Versorgungsspannung (V_{DD}) verschaltet ist, daß der erste nicht invertierte Carryeingang ($C0_{2a}$) mit jeweils dem Gateanschluß des ersten p-Kanal-Feldeffekttransistors (P2) und des dritten n-Kanal-Feldeffekttransistors (N1) sowie mit einem ersten NOR-Eingang des ANDNOR-Gatters (ANDNOR1) und der zweite nicht invertierte Carryeingang ($C1_{2a}$) mit jeweils dem Gateanschluß des zweiten p-Kanal-Feldeffekttransi-

stors (P4) und des vierten n-Kanal-Feldeffekttransistors (N3) sowie mit einem ersten UND-Eingang des ANDNOR-Gatters (ANDNOR1) verschaltet ist, daß der Blockcarryeingang (BL_{2a}) an einen zweiten UND-Eingang des ANDNOR-Gatters (ANDNOR1) 5
angeschlossen ist und den Blockcarry-ausgang (BL_{2a}) bildet, daß der erste invertierte Carryausgang (CÜ_{2a}) jeweils mit einem zweiten Anschluß des ersten p-Kanal-Feldeffekttransistors (P2), des 10
ersten n-Kanal-Feldeffekttransistors (N2), des dritten n-Kanal-Feldeffekttransistors (N1) und des dritten p-Kanal-Feldeffekttransistors (P1) angeschlossen ist, daß der zweite invertierte Carryausgang (CÜ_{1a}) jeweils mit dem zweiten Anschluß des zweiten 15
p-Kanal-Feldeffekttransistors (P4), des zweiten n-Kanal-Feldeffekttransistors (N4), des vierten n-Kanal-Feldeffekttransistors (N3) und des vierten p-Kanal-Feldeffekttransistors (P3) verschaltet ist, daß der Ausgang des ANDNOR-Gatters (ANDNOR1) mit dem Gateanschluß eines fünften n-Kanal-Feldeffekttransistors (N6), mit dem Gateanschluß eines 20
fünften p-Kanal-Feldeffekttransistors (P6) sowie jeweils mit einem ersten Anschluß eines sechsten n-Kanal-Feldeffekttransistors (N5) und eines sechsten p-Kanal-Feldeffekttransistors (P5) verschaltet ist, daß der Ausgang des zweiten NAND-Gatters (NAND2) mit einem ersten Anschluß des fünften n-Kanal-Feldeffekttransistors (N6) und mit dem Gateanschluß des sechsten n-Kanal-Feldeffekttransistors (N5) sowie über einen dritten Inverter (I3) mit 30
dem Gateanschluß des sechsten p-Kanal-Feldeffekttransistors (P5) und mit einem ersten Anschluß des fünften p-Kanal-Feldeffekttransistors (P6) verbunden ist, und daß der Summenausgang (S2) über einen vierten Inverter (I4) jeweils mit einem 35
zweiten Anschluß des fünften und sechsten n-Kanal-Feldeffekttransistors (N6, N5) und mit einem zweiten Anschluß des fünften und sechsten p-Kanal-Feldeffekttransistors (P6, P5) verschaltet ist.

40

45

50

55

9

FIG 1

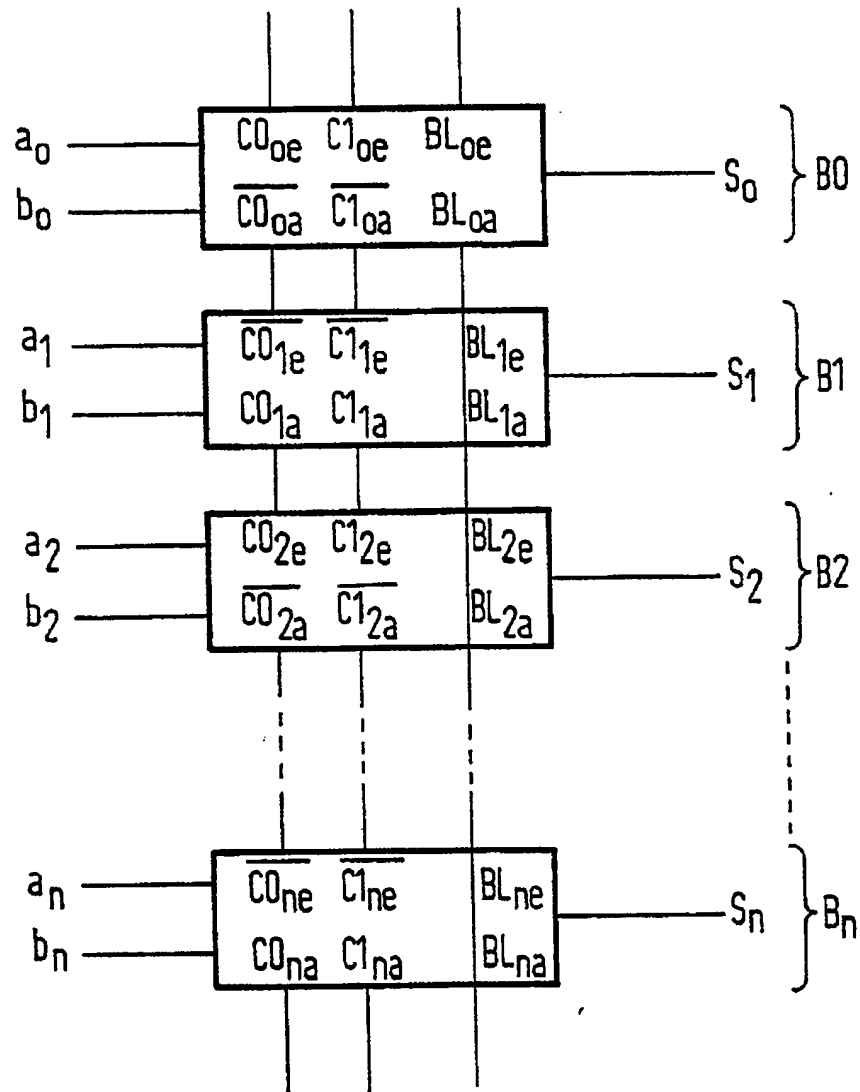


FIG 2

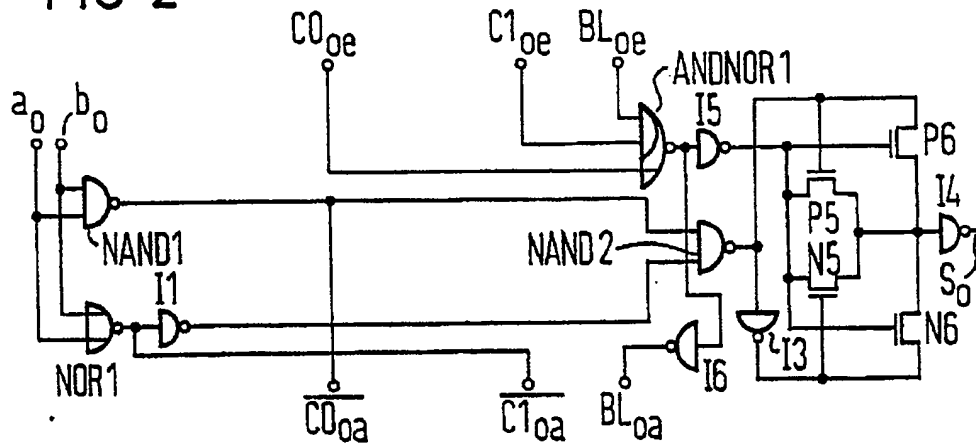


FIG 3

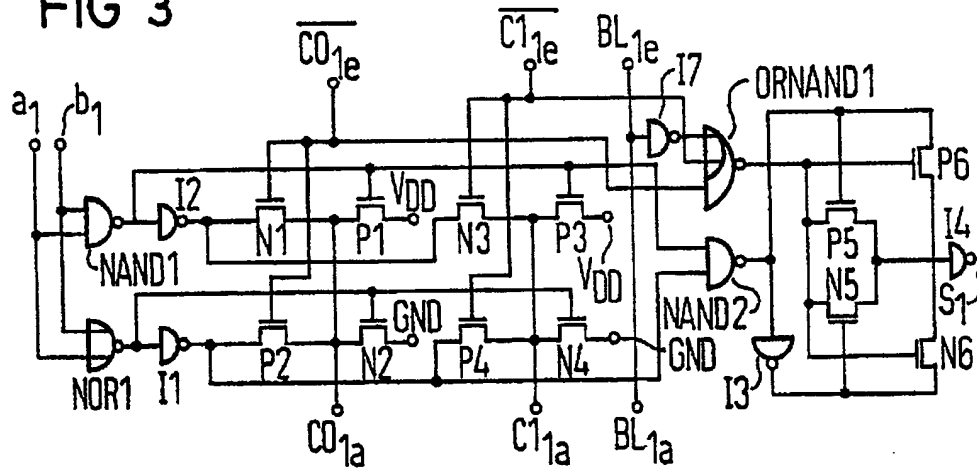
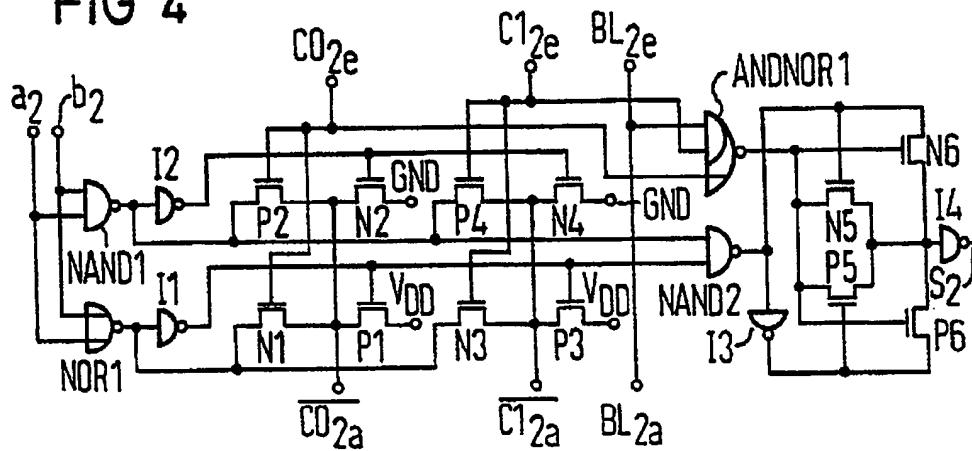


FIG 4





12 **EUROPÄISCHE PATENTANMELDUNG**

21 Anmeldenummer: **89112769.8**

51 Int. Cl.⁵: **G06F 7/50**

22 Anmeldetag: **12.07.89**

30 Priorität: **29.07.88 DE 3825969**

43 Veröffentlichungstag der Anmeldung:
31.01.90 Patentblatt 90/05

64 Benannte Vertragsstaaten:
DE FR GB

96 Veröffentlichungstag des später veröffentlichten
 Recherchenberichts: **16.10.91 Patentblatt 91/42**

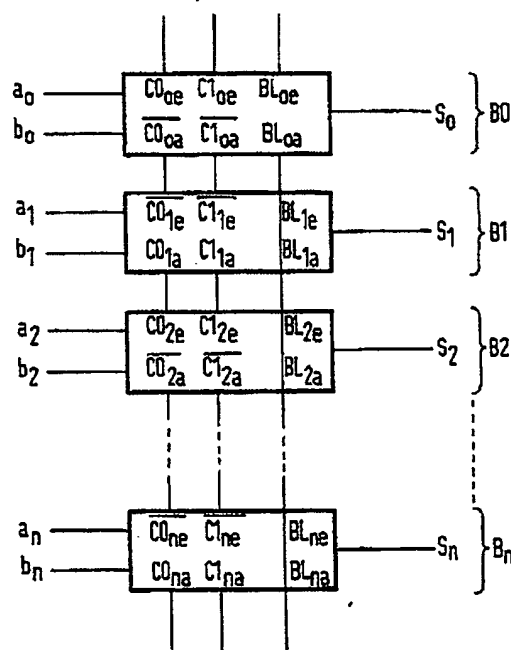
71 Anmelder: **SIEMENS AKTIENGESELLSCHAFT**
Wittelsbacherplatz 2
W-8000 München 2(DE)

72 Erfinder: **Knauer, Karl, Dr.-Ing.**
Nockherweg 21
W-8018 Grafing(DE)
 Erfinder: **Kamp, Winfried, Dipl.-Ing.**
Gustav-Heinemann-Ring 73
W-8000 München 83(DE)

54 **Carry-select-Addierer.**

57 "Carry-Select"-Addierer mit blockweise eingeteilten Addiererzellen, wobei jeder Block eine Eingangsaddiererzelle und eine wechselnde Abfolge von Addiererzellen vom ersten Typ und vom zweiten Typ enthält. Untereinander sind die Addiererzellen über erste und zweite Carryein- bzw. -ausgänge ($\overline{CO_{0a}}, \overline{C1_{0a}}, \overline{CO_{1a}}, \overline{C1_{1a}}, \overline{CO_{2a}}, \overline{C1_{2a}}, \dots, \overline{CO_{na}}, \overline{C1_{na}}$ bzw. $\overline{CO_{0a}}, \overline{C1_{0a}}, \overline{CO_{1a}}, \overline{C1_{1a}}, \overline{CO_{2a}}, \overline{C1_{2a}}, \dots, \overline{CO_{na}}, \overline{C1_{na}}$) sowie über Blockcarryeingänge bzw. Blockcarryausgänge ($\overline{BL_{0a}}, \overline{BL_{1a}}, \overline{BL_{2a}}, \dots, \overline{BL_{na}}$ bzw. $\overline{BL_{0a}}, \overline{BL_{1a}}, \overline{BL_{2a}}, \dots, \overline{BL_{na}}$) verbunden. Die Addiererzellen vom ersten und zweiten Typ weisen als Transfer- und als Pullup- und Pulldown-Transistoren wirkende Feldeffekttransistoren (N1, N2, N3, N4, P1, P2, P3, P4) auf, die nicht Bestandteil eines Kombinationsgatters innerhalb einer Addiererzelle sind.

FIG 1



EP 0 352 549 A3



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 89 11 2769

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
A	EP-A-0 257 362 (SIEMENS) * Zusammenfassung ** Seite 3, Zeile 37 - Seite 4, Zeile 4; Abbildungen 2,4 *	1-5	G 06 F 7/50

A	ICASSP 86 PROCEEDINGS Bd. 3, April 1986, TOKYO Seiten 1533 - 1536; HUBER ET AL.: 'Fir lowpass filter for signal decimation with 15 MHz clock frequency.' * Seite 1534, Spalte 1, Zeile 34 - Spalte 2, Zeile 38; Abbildungen 3,4 *	1-5	

A	US-A-4 525 797 (HOLDEN) * Zusammenfassung ** Spalte 6, Zeile 24 - Zeile 33 ** Spalte 7, Zeile 56 - Spalte 8, Zeile 54; Abbildungen 1,4,7-9 *	1-5	

A	EP-A-0 239 168 (PHILIPS) * Zusammenfassung ** Seite 3, Zeile 20 - Seite 5, Zeile 19; Abbildung 2 *	1-5	

A	1988 IEEE ISCS PROCEEDINGS Bd. 1, Juni 1988, ESPOO, FINLAND Seiten 235 - 238; OKLOBDZIJA: 'Simple and efficient cmos circuit for fast VLSI adder realization ' * Zusammenfassung ** Seite 237, Spalte 1, Zeile 30 - Zeile 33; Abbildung 5 *	1-5	

Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort		Abschlußdatum der Recherche	Prüfer
Den Haag		07 August 91	COHEN B.
KATEGORIE DER GENANNTEN DOKUMENTE X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument &: Mitglied der gleichen Patentfamilie, Übereinstimmendes Dokument			



P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
☎ (070) 3 40 20 40
FAX (070) 3 40 30 16

Europäisches
Patentamt

European
Patent Office

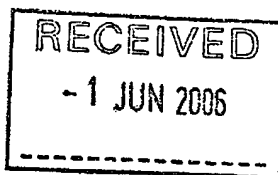
Office européen
des brevets

Generaldirektion 1

Directorate General 1

Direction générale 1

Style, Kelda Camilla Karen
Page White & Farrer,
54 Doughty Street
London WC1N 2LS
GRANDE BRETAGNE



EPO Customer Services

Tel.: +31 (0)70 340 45 00

Date

01.06.06

Reference
304034EP/KCS/sj

Application No./Patent No.
03256838.8 - 2211

Applicant/Proprietor
STMicroelectronics, Inc.

COMMUNICATION

The European Patent Office herewith transmits as an enclosure the European search report (under R. 44 or R. 45 EPC) for the above-mentioned European patent application.

If applicable, copies of the documents cited in the European search report are attached.

- ☐ Additional set(s) of copies of the documents cited in the European search report is (are) enclosed as well.

The following specifications given by the applicant have been approved by the Search Division :

- ☒ Abstract ☒ Title

- ☐ The abstract was modified by the Search Division and the definitive text is attached to this communication.

The following figure will be published together with the abstract : 1

Refund of search fee

If applicable under Article 10 Rules relating to fees, a separate communication from the Receiving Section on the refund of the search fee will be sent later.





DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	MOSSE, AYDM, CHILDERS, MELHEM: "Compiler-Assisted Dynamic Power-Aware Scheduling for Real-Time Applications"[Online] October 2000 (2000-10), XP002380997 Retrieved from the Internet: URL: http://citeseer.ist.psu.edu/cache/papers/cs/27133/http:zSzzSzwww.cs.pitt.edu:zSzPARTSzSzpaperszSzCOLP00_mosse.pdf/mosse00compilerassisted.pdf [retrieved on 2006-05-10] * the whole document *	1, 4, 5, 7, 9, 11, 15-17, 19	INV. G06F9/45 G06F1/32
X	HSU, KREMER, HSIAO: "Compiler-Directed Dynamic Voltage/Frequency Scheduling for Energy Reduction in Microprocessors"[Online] August 2000 (2000-08), XP002380998 Retrieved from the Internet: URL: http://citeseer.ist.psu.edu/cache/papers/cs/22710/http:zSzzSzwww.cs.rutgers.edu:zSzulizSzISLPED01.pdf/hsu01compilerdirected.pdf [retrieved on 2006-05-10] * the whole document *	1, 4, 5, 7, 9, 11, 15-17, 19	TECHNICAL FIELDS SEARCHED (IPC) G06F
A		2, 3, 8, 10, 12, 13	
X	HSU, KREMER, HSIAO: "Compiler-Directed Dynamic Frequency and Voltage Scheduling"[Online] 2000, XP002380999 Retrieved from the Internet: URL: http://citeseer.ist.psu.edu/cache/papers/cs/18259/http:zSzzSzwww.cs.rutgers.edu:zSzulizSzPACS00.pdf/hsu00compilerdirected.pdf [retrieved on 2006-05-10] * the whole document *	1, 4, 5, 7, 9, 11, 15-17, 19	
A		2, 3, 8, 10, 12, 13	
----- -/-			
The present search report has been drawn up for all claims			
Place of search Berlin		Date of completion of the search 16 May 2006	Examiner Leineweber, H
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document			

3
EPO FORM 1503 03.02 (P04C01)



DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 01, 31 January 2000 (2000-01-31) -& JP 11 296252 A (MITSUBISHI ELECTRIC CORP), 29 October 1999 (1999-10-29)	1,4,5,7, 9,11, 15-17,19	
A	* abstract *	2,3,8, 10,12,13	
A	EP 1 182 571 A (TEXAS INSTRUMENTS INCORPORATED; TEXAS INSTRUMENTS FRANCE) 27 February 2002 (2002-02-27) * figure 1 *	6,14,18	
			TECHNICAL FIELDS SEARCHED (IPC)
The present search report has been drawn up for all claims			
Place of search		Date of completion of the search	Examiner
Berlin		16 May 2006	Leineweber, H
CATEGORY OF CITED DOCUMENTS			
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document	

3
EPO FORM 1503 03/02 (P04C01)

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 03 25 6838

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report.
The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

16-05-2006

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 11296252	A	29-10-1999	NONE	
EP 1182571	A	27-02-2002	US 2002065993 A1	30-05-2002